



(19)

(11) Publication number: 11087706 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09248065

(51) Intl. Cl.: H01L 29/78 H01L 21/336

(22) Application date: 12.09.97

(30) Priority:

(43) Date of application publication: 30.03.99

(84) Designated contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: TAKASE MICHIIHIKO
MIZUNO BUNJI

(74) Representative:

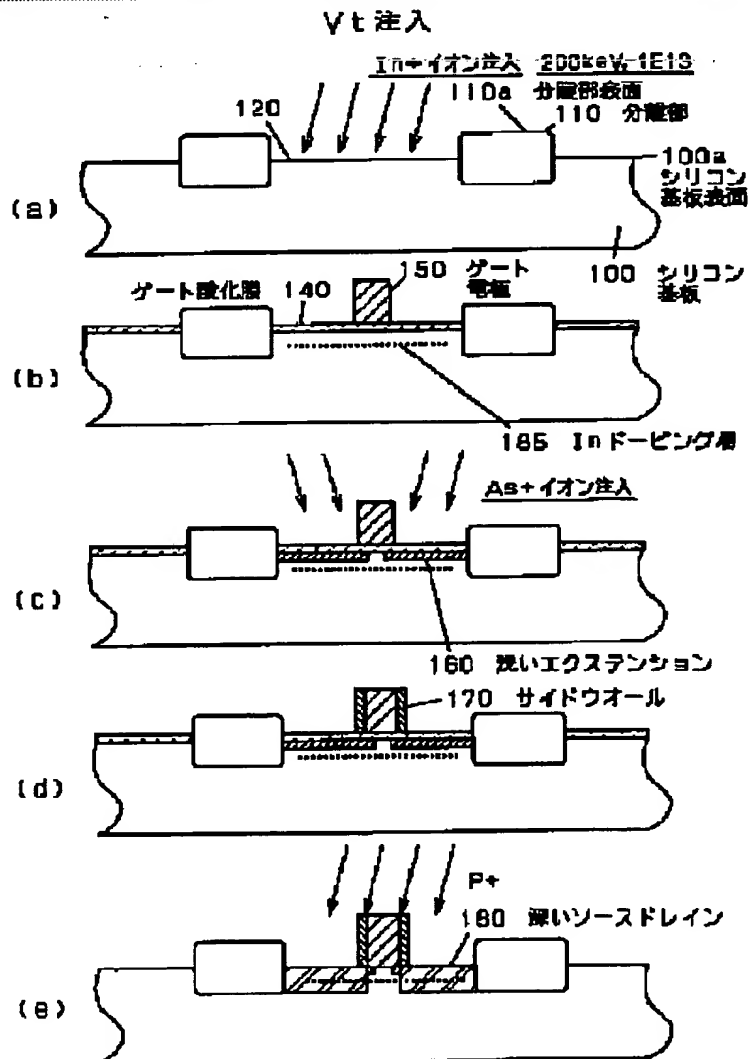
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing semiconductor device wherein, while phosphorus (P) with high activation factor is introduced as impurity for forming a source/drain region, diffusion of P caused by thermal process for activation is suppressed.

SOLUTION: After In ions are introduced into a semiconductor substrate 100 as a first impurity of high mass for threshold control, phosphorus is introduced as a second impurity into the semiconductor substrate 100 with, at least a gate electrode 150 formed on the semiconductor substrate 100 as a mask, then heat treatment is performed for the activation of the first and second impurities. With this configuration, even if a source/drain region is formed using a material of high activation factor and easy to diffuse such as phosphorus, diffusion of the phosphorus is suppressed due to the presence of high-mass impurity such as In, etc.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87706

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁶

H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

3 0 1 S

3 0 1 P

3 0 1 Y

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平9-248065

(22) 出願日

平成9年(1997) 9月12日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高瀬 道彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 水野 文二

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

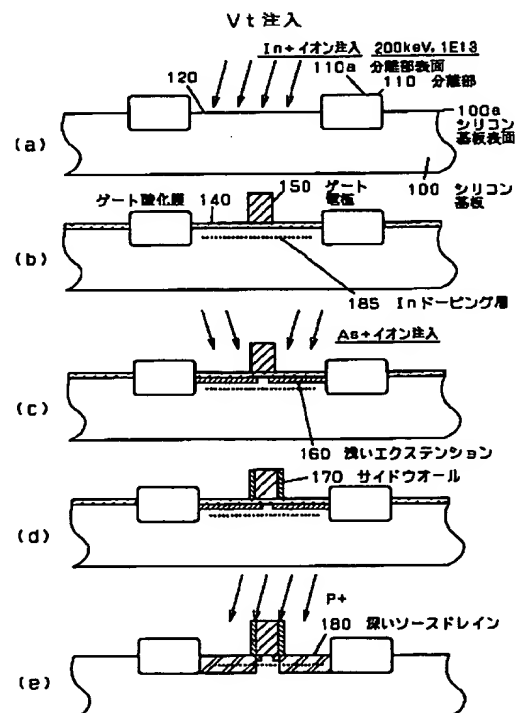
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 活性化率の高いPをソース・ドレイン領域形成用に不純物として導入しつつ、活性化のための熱処理によるPの拡散を抑制することのできる半導体装置の製造方法を提供することを目的とする。

【解決手段】 半導体基板100にしきい値制御用の高質量の第1の不純物としてInイオンを導入した後、半導体基板100上に形成されたゲート電極150を少なくともマスクとして半導体基板100に第2の不純物としてPを導入し、その後第1の不純物及び第2の不純物の活性化のための熱処理を行う。この構成により、Pという活性化率が高いものの、拡散しやすい材料を用いてソース・ドレイン領域を形成してもInなどの高質量不純物の存在により、Pの拡散を抑制することができる。



【特許請求の範囲】

【請求項1】半導体基板にしきい値制御用の高質量の第1の不純物を導入する工程と、前記半導体基板上に形成されたゲート電極を少なくともマスクとして前記半導体基板に第2の不純物として燐を導入した後、前記第1の不純物及び第2の不純物の活性化のための熱処理を行う工程とを有する半導体装置の製造方法。

【請求項2】半導体基板にソース・ドレイン間のパンチスルー防止用の高質量の第1の不純物を導入する工程と、前記半導体基板上に形成されたゲート電極を少なくともマスクとして前記半導体基板に第2の不純物として燐を導入した後、前記第1の不純物及び第2の不純物の活性化のための熱処理を行う工程とを有する半導体装置の製造方法。

【請求項3】第1の不純物がインジウムであることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関わるものであり、特に微細な能動半導体素子を高性能に製造する方法に関するものである。

【0002】

【従来の技術】MOS型半導体装置の製造工程においては、不純物を半導体基板に導入する様々な工程が存在し、この不純物の導入によってトランジスタのソース・ドレイン領域の形成や、トランジスタの動作しきい値制御を行っている。そこで、以下では従来の半導体装置の製造方法について図3を参照しながら説明する。

【0003】まず図3(a)に示すように、シリコン基板100に素子分離領域110を形成する。この分離領域110は所謂LOCOS分離法やトレンチ分離法で作成することができ、また、必要に応じて分離部分の表面110aはシリコン基板100の表面aと同一の平面に近く形成してもよい。次にこの状態で残された活性領域120に先ずBF₂イオンを注入する。具体的な注入条件としては、例えば30keVのエネルギーで、ドーズ量として $1 \times 10^{13} \text{ cm}^{-2}$ 程度注入する。この工程が所謂しきい値制御であり、注入された層は図1(b)に示すようにBF₂ドーピング層125となる。なお、図1(b)に示す工程では、熱酸化等により、ゲート酸化膜140を形成するとともに、ゲート電極150を形成している。

【0004】その後図1(c)に示すように、浅いエクステンション領域160を形成すべくAsイオン注入をゲート電極150をマスクとして行う。具体的な注入条件としては、例えばAsイオンを20keVで $5 \times 10^{13} \text{ cm}^{-2}$ 程度注入する。

【0005】次に図1(d)に示すように、ゲート電極150の側面にSiO₂等の絶縁膜材料からなるサイド

ウォール170を形成した後、図1(e)に示すようにゲート電極150及びサイドウォール170をマスクとしてAsイオンの注入を行って深いソース・ドレイン領域180を形成する。この領域180は金属電極とのコンタクト形成時などに利用し、また、電氣的抵抗を下げるために、金属とシリコンの化合物を形成する時にも必要となる。

【0006】最後に半導体基板に導入された不純物の活性化のための熱処理を行うわけであるが、この熱処理は例えば800~900℃で1時間程度行われる。

【0007】

【発明が解決しようとする課題】しかしながら、上記の従来の半導体装置の製造方法では、今後の微細化（特に0.18μmルール以降）に伴って下記に示すような問題点が生じる。

【0008】上記したように、従来の技術では、ソース・ドレイン領域の形成のために半導体基板に導入される不純物元素としてはAsを用いている。これは、活性化の熱処理の際に、AsのほうがPよりも拡散しにくいいため、トランジスタを微細化してチャンネルの長さが短くなっても制御性よく所望の特性のトランジスタを形成することができ、また、AsのほうがPよりも質量が小さいため、半導体基板に導入する際に浅く導入することが容易であることに起因している。

【0009】しかしながら、不純物を半導体基板に導入した後の熱処理による活性化の促進という点では、本来PのほうがAsよりも容易である。そこで本発明は、活性化率の高いPをソース・ドレイン領域形成用に不純物として導入しつつ、活性化のための熱処理によるPの拡散を抑制することのできる半導体装置の製造方法を提供することを主たる目的とする。

【0010】

【課題を解決するための手段】上記の目的を達成するために本発明の半導体装置の製造方法は、半導体基板にしきい値制御用の高質量の第1の不純物を導入する工程と、半導体基板上に形成されたゲート電極を少なくともマスクとして半導体基板に第2の不純物として燐を導入した後、第1の不純物及び第2の不純物の活性化のための熱処理を行う工程とを有する構成となっている。

【0011】また、本発明の半導体装置の製造方法は、半導体基板にソース・ドレイン間のパンチスルー防止用の高質量の第1の不純物を導入する工程と、半導体基板上に形成されたゲート電極を少なくともマスクとして半導体基板に第2の不純物として燐を導入した後、第1の不純物及び第2の不純物の活性化のための熱処理を行う工程とを有する構成となっている。

【0012】また、上記の構成において第1の不純物としては、例えばインジウムを用いる。

【0013】上記の構成により、燐という活性化率が高いものの、拡散しやすい材料を用いてソース・ドレイン

10

20

30

40

50

領域を形成してもInなどの高質量不純物の存在により、隣の拡散を抑制することができる。

【0014】

【発明の実施の形態】以下本発明の実施の形態における半導体装置の製造方法について図面を参照しながら説明する。

【0015】（実施の形態1）図1は本発明実施の形態1における半導体装置の製造方法の製造工程断面図を示したものである。本実施の形態は、しきい値制御用の不純物として半導体基板に高質量の不純物としてInをイオン注入するものであり、以下では図1を参照しながら順を追って説明する。

【0016】まず図1（a）に示すように、シリコン基板100に分離領域110を形成する。この分離領域110は所謂LOCOS分離法やトレンチ分離法で作成することができ、また、必要に応じて分離部分の表面110aはシリコン基板100の表面aと同一の平面に近く形成してもよい。この状態で、残された活性領域120に先ずしきい値制御用の不純物としてInイオンを注入する。具体的には、例えば200keVのエネルギーで、ドーズ量として $1 \times 10^{13} \text{ cm}^{-2}$ 程度注入する。注入された層は図1（b）に示すようにInドーピング層185となる。

【0017】なお、図1（b）に示す工程では、Inイオン注入の前もしくは後に、熱酸化等により、ゲート酸化膜140を形成するとともに、ゲート電極150を形成している。

【0018】その後図1（c）に示すように、浅いエクステンション領域160を形成すべくAsイオン注入を行なう。この場合はAsイオンを20keVで $5 \times 10^{13} \text{ cm}^{-2}$ 程度注入する。なお、ここではAsイオンの注入により浅いエクステンション領域160を形成したが、不純物としてはPを用いてもよい。

【0019】次に図1（d）に示すように、ゲート電極150の側面にSiO₂等の絶縁膜材料からなるサイドウォール170を形成した後、図1（e）に示すようにPイオン注入を行って深いソースドレイン領域180を形成する。このPイオンの注入の具体的な条件としては10keVで $3 \times 10^{15} \text{ cm}^{-2}$ 程度注入してやる。この領域180は金属電極とのコンタクト形成時などに利用し、また電気的抵抗を下げる為に、金属とシリコンの化合物を形成する時にも必要となる。

【0020】最後に半導体基板に導入された不純物の活性化のための熱処理を行うわけであるが、この熱処理は例えば850℃で2時間程度行う。

【0021】上記のようにして形成されたトランジスタの特性を評価したところ、Pの拡散深さを抑制することができた。比較例として、しきい値制御用の不純物としてBを導入しつつPをソース・ドレイン領域形成用の不純物として導入したものと本実施の形態により形成され

たもののPの拡散深さを比較すると、比較例が0.3μmの深さであったものを、少なくとも10%抑えることができた。

【0022】このように、本発明者等によれば、Pの拡散を抑制するためにしきい値制御用の不純物として高質量の不純物であるInを導入することが極めて有用であることが判明した。これは、先ず、Inが質量数115と非常に重いために、しきい値制御と言った少ないドーズでもSi結晶をアモルファス化する効果が高く、先ずはPイオン注入直後の深い分布をできるだけ浅い方向へしかも制御性良く作る事ができ、かつ、熱処理時に殆ど拡散しないInに強く引っ張られてPの拡散も抑えられることに起因していると考えられる。この点はInP等の化合物半導体を形成することからも分かる様に、InとPは化学的に結合性が高くなっていると思われる。

【0023】（実施の形態2）図2は本発明実施の形態2における半導体装置の製造方法の製造工程断面図を示したものである。本実施の形態は、ポケット注入用の不純物として半導体基板にInをイオン注入するものであり、以下では図2を参照しながら順を追って説明する。なお、ポケット注入とはMOSトランジスタに於いて、ソース・ドレイン電極間のショートを抑え短いチャネルで高性能のトランジスタを製造する為に必須の技術である。

【0024】まず図2（a）に示すように、シリコン基板100に分離領域110を作成する。分離領域110は所謂LOCOS分離法やトレンチ分離法で作成し、また、必要に応じて分離領域の表面110aはシリコン基板100の表面aと同一の平面に近く形成してもよい。その後、熱酸化等によりゲート酸化膜140を形成し、さらにゲート電極150を形成する。

【0025】次に残された活性領域120に先ずInイオンを注入する。具体的には、例えば200keVのエネルギーで、ドーズ量として $1 \times 10^{13} \text{ cm}^{-2}$ 程度注入する。これが所謂ポケット注入であり、注入された層は図2（b）のポケットInドーピング層190となる。

【0026】その後図2（c）に示すように、浅いエクステンション領域160を形成するためにAsイオン注入を行なう。この場合はAsイオンを20keVで $5 \times 10^{13} \text{ cm}^{-2}$ 程度注入する。なお、ここではAsイオンの注入により浅いエクステンション領域160を形成したが、不純物としてはPを用いてもよい。

【0027】更に図2（d）に示すように、ゲート電極150の側面にSiO₂等の絶縁膜材料からなるサイドウォール170を形成した後、図2（e）に示すように、Pイオンの注入を行なって深いソースドレイン領域180を形成する。この領域180は金属電極とのコンタクト形成時などに利用でき、また、電気的抵抗を下げる為に、金属とシリコンの化合物を形成する時にも必要となる。

【0028】最後に半導体基板に導入された不純物の活性化のための熱処理を行うわけであるが、この熱処理は例えば850℃で2時間程度行う。

【0029】上記のようにして形成されたトランジスタの特性を評価したところ、上記した実施の形態1の場合と同様に、Pの拡散深さを抑制することができた。

【0030】このように、本発明者等によれば、Pの拡散を抑制するためポケット注入用の不純物として高質量の不純物であるInを導入することが極めて有用であることが判明した。これは、上記した実施の形態1の場合と同様に、Inが質量数115と非常に重いために、少ないドーズでもSi結晶をアモルファス化する効果が高く、先ずはPイオン注入直後の深い分布をできるだけ浅い方向へしかも制御性良く作る事ができ、かつ、熱処理時に殆ど拡散しないInに強く引っ張られてPの拡散も抑えられることに起因していると考えられる。この点はInP等の化合物半導体を形成することからも分かる様に、InとPは化学的に結合性が高くなっていると思われる。

【0031】以上本発明の半導体装置の製造方法について実施の形態とともに説明を行ったが、本発明においては、上記の実施の形態1と実施の形態2を組み合わせる用いることも可能である。すなわち、ソース・ドレイン領域形成用にPを注入するに際して、しきい値制御用の不純物及びポケット注入用不純物として高質量不純物を用いてやる事ができる。なお、この高質量不純物として、上記の実施の形態ではInを用いて説明を行ったが、Alなどを用いることも可能である。

【0032】また、従来しきい値制御用に半導体基板に導入される不純物としては、Bが多く用いられているが、このBは、活性化の熱処理の際にゲート電極の両端部に多く拡散し高濃度ボロン領域を形成する傾向があった。このため、半導体装置の微細化と特性の向上が今後

さらに進むと、ゲート電極の長さが短くなり、実効的にゲート電極の下部のボロン濃度が高くなり、結果として閾値電圧が高くなる逆短チャネル効果が起こってしまう。しかしながら、本発明のようにIn等の高質量不純物を用いれば、熱処理を行っても必要以上に拡散が生じないため、Bを導入した際に生じる上記のような問題点を解決することができる。

【0033】

【発明の効果】以上のように本発明によれば、半導体装置作成時に高質量のイオン注入を実施し、これとソース・ドレイン領域にPを注入することを組み合わせることにより、従来では避けられなかった、Pの拡散などを抑制することができ、かつ、高質量による結晶のアモルファス効果によって、浅く低抵抗の接合を形成でき、高性能の半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体装置の製造工程断面図

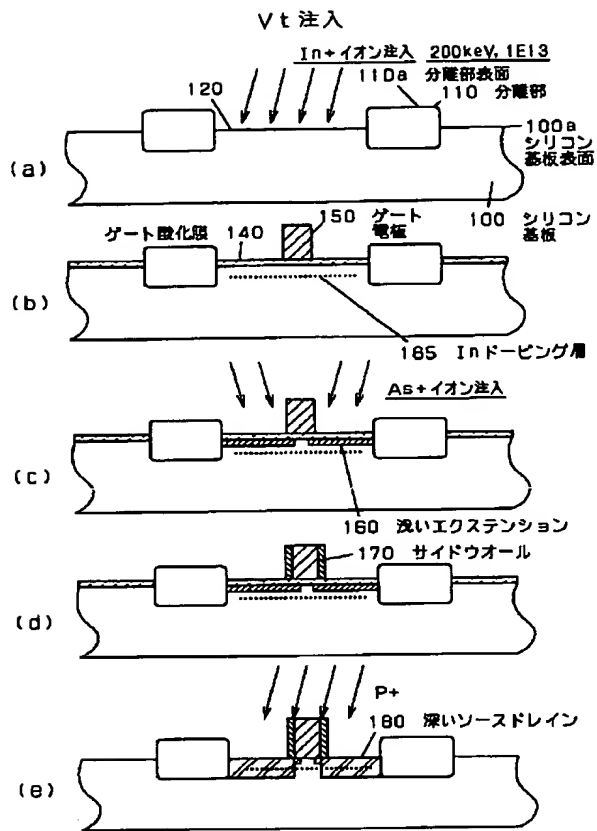
【図2】本発明の実施の形態2における半導体装置の製造工程断面図

【図3】従来の半導体装置の製造工程断面図

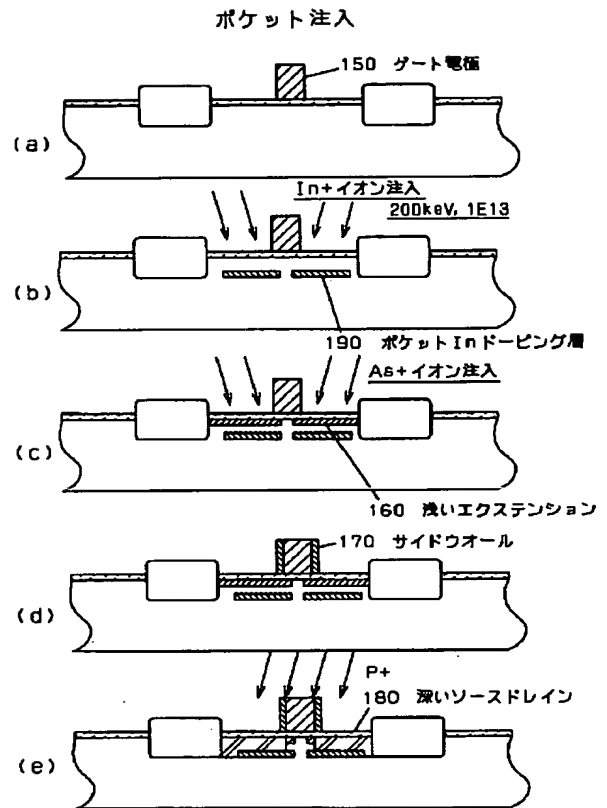
【符号の説明】

- 100 半導体基板
- 110 素子分離領域
- 120 活性領域
- 125 BF₂ドーピング層
- 140 ゲート酸化膜
- 150 ゲート電極
- 160 浅いエクステンション領域
- 170 サイドウォール
- 180 深いソースドレイン領域
- 185 Inドーピング層
- 190 ポケットInドーピング層

【図1】



【図2】



【図3】

